

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Patent Application Publication No.: S63-34928

(43) Publication Date: February 15, S63 (1988)

5	(51) Int. Cl. ⁴	Identification Symbol	JPO File Number
	H 01 L	21/302	M-8223-5F
		21/88	F-6708-5F

Request for Examination: Not made

Number of Inventions: 1 (4 Pages in Total)

10 (54) Title of the Invention: METHOD FOR FORMING THROUGH HOLE

(21) Application No.: S61-179517

(22) Application Date: July 29, S61 (1986)

(72) Inventor: Koji AONO

c/o LSI Laboratory, Mitsubishi Electric Corporation

15 4-1, Mizuhara, Itami-shi, Hyogo-ken

(72) Inventor: Yukio HIGAKI

c/o LSI Laboratory, Mitsubishi Electric Corporation

4-1, Mizuhara, Itami-shi, Hyogo-ken

(72) Inventor: Koichi SUMIYA

20 c/o LSI Laboratory, Mitsubishi Electric Corporation

4-1, Mizuhara, Itami-shi, Hyogo-ken

(71) Applicant: Mitsubishi Electric Corporation

2-2-3, Marunouchi, Chiyoda-ku, Tokyo-to

(74) Representative: Patent Attorney, Masuo OIWA and two others

Specification

1. Title of the Invention

METHOD FOR FORMING THROUGH HOLE

2. Scope of Claim

5 A method for forming a through hole, characterized by comprising the steps of:
forming a wiring metal on a semiconductor substrate; forming insulating films of a
plurality of layers in which an insulating film having a higher etching rate than an
insulating film of a lower layer is an upper layer, on the wiring metal; applying a resist
on an uppermost layer of the insulating film and transferring a mask pattern to form a
10 resist pattern; etching the insulating films of the plurality of layers with use of the resist
pattern as a mask to form a through hole having a tapered shape; and after the resist
pattern is removed, performing metal evaporation onto a place of the through hole to
form a wiring metal.

3. Detailed Description of the Invention

15 [Industrial Field of the Invention]

This invention relates to a method for forming a through hole in a
semiconductor element.

[Conventional Art]

FIGS. 3(a) to (g) are cross-sectional views showing a forming process of a
20 through hole used for a semiconductor element. In these drawings, reference numeral
1 denotes a semiconductor substrate; reference numeral 2, a first wiring metal formed
on this semiconductor substrate 1; reference numeral 3, an insulating film stacked on
this first wiring metal 2; reference numeral 4, a photoresist applied on this insulating
film 3; reference numeral 5, a resist hole opening portion formed by transferring a mask
25 pattern to this photoresist 4 by photoengraving; reference numeral 6, a through hole
formed by etching the insulating film 3 stacked on the semiconductor substrate 1 by
isotropic etching with use of wet or the like, by using a resist pattern in which the resist
hole opening portion 5 is formed as a mask; and reference numeral 7, a second wiring
metal for forming a circuit together with the first wiring metal 2.

30 Next, a forming process of the through hole is described.

First, the first wiring metal 2 is formed on the semiconductor substrate 1 as
illustrated in FIG. 3(a), and further, the insulating film 3 is stacked on the first wiring

metal 2 as illustrated in FIG. 3(b). Next, after the photoresist 4 is applied on the insulating film 3 as illustrated in FIG. 3(c), the mask pattern for forming the through hole is transferred to the photoresist 4 by photoengraving to form the resist hole opening portion 5 as illustrated in FIG. 3(d). By using the resist pattern in which this resist hole opening portion 5 is formed as a mask, the insulating film 3 is etched by the isotropic etching with the use of the wet or the like, so that the through hole 6 is formed as illustrated in FIG. 3(e). Next, the resist pattern is removed as illustrated in FIG. 3(f), and the second wiring metal 7 is formed as illustrated in FIG. 3(g), whereby contact between the first and second wiring metals 2 and 7 is obtained.

10 [Problem to be Solved by the Invention]

In the case of employing the above conventional forming method of the through hole, the thickness of the second wiring metal 7 becomes small at a step portion (a portion surrounded by dotted lines) 8 illustrated in FIG. 4 because of a step of the through hole 6 formed in the insulating film 3, so that there has been a problem in that increase in contact resistance or defective contact occurs.

This invention is made to solve the foregoing problem, and an object is to obtain a method for forming a through hole by which increase in contact resistance does not occur and defective contact is prevented.

[Means for Solving the Problem]

20 A method for forming a through hole according to this invention includes the steps of: forming a wiring metal on a semiconductor substrate; forming insulating films of a plurality of layers in which an insulating film having a higher etching rate than an insulating film of a lower layer is an upper layer, on this wiring metal; applying a resist on an uppermost layer of the insulating film and transferring a mask pattern to form a resist pattern; etching the insulating films of the plurality of layers with use of the resist pattern as a mask to form a through hole having a tapered shape; and after the resist pattern is removed, performing metal evaporation onto a place of the through hole to form a wiring metal.

[Operation]

30 In this invention, since the insulating film having a higher etching rate than the insulating film of the lower layer is formed as the upper layer, side surfaces of the insulating films are etched to have a tapered shape; thus, the through hole is formed.

Accordingly, the thickness of the wiring metal formed thereon becomes substantially uniform at a side surface of the through hole.

[Example]

One example of this invention is described below with reference to FIG. 1 and
5 FIG. 2. In FIG. 1, the same reference numerals as those in FIG. 3 denote the identical portions, and reference numeral 9 denotes an insulating film which is formed on the insulating film 3 and which has a higher etching rate than this insulating film 3.

Next, a method for forming a through hole according to this invention is described.

10 First, the wiring metal 2 and the insulating film 3 are formed on the semiconductor substrate 1 as illustrated in FIGS. 1(a) and (b), and the insulating film 9 having a higher etching rate than the insulating film 3 is formed thereon as illustrated in FIG. 3(c). Then, after the photoresist 4 is applied on the insulating film 9 as illustrated in FIG. 1(d), a mask pattern for forming a through hole is transferred to the photoresist 4
15 to form the resist hole opening portion 5 as illustrated in FIG. 1(e). With use of a resist pattern in which this resist hole opening portion 5 is formed as a mask, wet etching is performed. After that, subsequently, wet etching of the insulating film 3 having a low etching rate is performed, so that the through hole 6 having a tapered shape whose step is small is formed as illustrated in FIG. 1(f). Then, after the resist pattern is removed
20 as illustrated in FIG. 1(g), the wiring metal 7 is formed as illustrated in FIG. 1(h). In this state, as illustrated in FIG. 2, the thickness of the wiring metal 7 at a side surface of the through hole can be uniform, as at a step portion 10.

Note that in the above example, the case of a two-layer structure in which, on the insulating film 3, the insulating film 9 having a higher etching rate than this
25 insulating film 3 is formed, is described. However, a similar effect can be obtained also by forming some insulating films each having a higher etching rate than its lower insulating film; for example, stacking the insulating film 9 having a higher etching rate on the insulating film 3, and further stacking an insulating film having a higher etching rate than this insulating film 9 thereon.

30 Further, a similar effect can be obtained also by stack of from an insulating film having a low etching rate to an insulating film having a high etching rate in sequence.

[Effect of the Invention]

As described above, this invention includes the steps of: forming a wiring metal on a semiconductor substrate; forming insulating films of a plurality of layers in which an insulating film having a higher etching rate than an insulating film of a lower layer is an upper layer, on this wiring metal; applying a resist on the insulating film of an uppermost layer and transferring a mask pattern to form a resist pattern; etching the insulating films of the plurality of layers with use of the resist pattern as a mask to form a through hole having a tapered shape; and after the resist pattern is removed, performing metal evaporation onto a place of the through hole to form a wiring metal. Therefore, the thickness of the wiring metal at a side surface of the through hole can be substantially uniform. Accordingly, advantages can be obtained not only in that contact resistance can be reduced but also in that defective contact can be solved, for example.

4. Brief Description of the Drawings

FIG. 1 is a diagram illustrating a forming process of a through hole of this invention, FIG. 2 is a cross-sectional view of a semiconductor device obtained by this invention, FIG. 3 is a diagram illustrating a conventional forming process of a through hole, and FIG. 4 is a cross-sectional view illustrating a semiconductor device of a conventional example.

In the drawings, reference numeral 1 denotes a semiconductor substrate; reference numerals 2 and 7, wiring metals; reference numerals 3 and 9, insulating films; reference numeral 4, a photoresist; and reference numeral 6, a through hole.

Note that the same reference numerals in the drawings denote the identical or corresponding portions.

Patent Attorney Masuo OIWA (two others)

Family list

1 application(s) for: **JP63034928**

1 FORMATION OF THROUGH HOLE

Inventor: AONO KOJI ; HIGAKI YUKIO (+1)

Applicant: MITSUBISHI ELECTRIC CORP

EC:

IPC: *H01L21/3205; H01L21/302; H01L21/3065;*
(+3)

Publication **JP63034928 (A)** - 1988-02-15
info:

Priority Date: 1986-07-29

Data supplied from the *espacenet* database — Worldwide

FORMATION OF THROUGH HOLE

Publication number: JP63034928 (A)

Publication date: 1988-02-15

Inventor(s): AONO KOJI; HIGAKI YUKIO; SUMIYA KOICHI +

Applicant(s): MITSUBISHI ELECTRIC CORP +

Classification:

- international: *H01L21/3205; H01L21/302; H01L21/3065; H01L21/02; (IPC1-7): H01L21/302; H01L21/88*

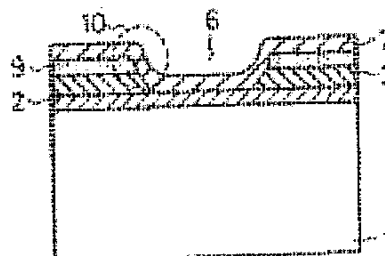
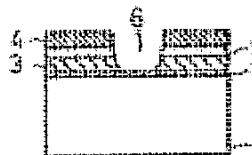
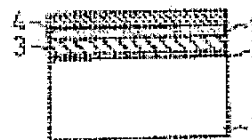
- European:

Application number: JP19860179517 19860729

Priority number(s): JP19860179517 19860729

Abstract of JP 63034928 (A)

PURPOSE: To substantially uniformize the thickness of a wiring metal to be formed on a through hole on the side of the hole by forming an insulating film having a faster etching rate than the insulating film of a lower layer on an upper layer, and etching the side of the insulating film in a tapered shape to form the hole. **CONSTITUTION:** A wiring metal 2 and an insulating film 3 are formed on a semiconductor substrate 1 to form an insulating film 9 having a faster etching rate than the film 3. After the film 9 is coated with a photoresist 4, a mask pattern for forming a through hole is transferred to the photoresist 4 to form a resist hole 5. With the resist pattern formed with the hole 5 as a mask it is wet etched, the film 3 having slow etching rate is then wet etched to form a through hole 6 with a taper having a small step. After the resist pattern is removed, a wiring metal 7 is formed. Thus, the thickness of the metal 7 on the side of the hole is uniformized like a stepwise part 10.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-34928

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月15日

H 01 L 21/302
21/88

M-8223-5F
F-6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 スルーホールの形成方法

⑯ 特 願 昭61-179517

⑰ 出 願 昭61(1986)7月29日

⑱ 発 明 者 青 野 浩 二 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 檜 垣 幸 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 住 谷 光 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

スルーホールの形成方法

2. 特許請求の範囲

半導体基板上に配線金属を形成する工程、前記配線金属の上に下層の絶縁膜よりもエッチングレートが速い絶縁膜を上層にして複数層の絶縁膜を形成する工程、前記最上層の絶縁膜の上にレジストを塗布し、マスクパターンを転写しレジストパターンを形成する工程、前記レジストパターンをマスクとして前記複数層の絶縁膜をエッチングしテーパー状のスルーホールを形成する工程、前記レジストパターンを除去した後、前記スルーホール部分に金属蒸着を行い、配線金属を形成する工程を含むことを特徴とするスルーホールの形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体素子にスルーホールを形成する方法に関するものである。

〔従来の技術〕

第3図(a)～(g)は半導体素子に用いるスルーホールの形成工程を示す断面図であり、この図において、1は半導体基板、2はこの半導体基板1上に形成された第1の配線金属、3はこの第1の配線金属2上に積層された絶縁膜、4はこの絶縁膜3上に塗布したフォトリジスト、5はこのフォトリジスト4に写真製版によりマスクパターンを転写することにより形成したレジストホール開口部、6は前記レジストホール開口部5が形成されたレジストパターンをマスクとして、ウェット等による等方性エッチングにより半導体基板1上に積層された絶縁膜3をエッチングすることにより形成されたスルーホール、7は前記第1の配線金属2と回路を構成するための第2の配線金属である。

次にスルーホールの形成工程を説明する。

まず、第3図(a)に示すように、半導体基板1上に第1の配線金属2を形成し、さらに、第3図(b)に示すように、第1の配線金属2上に絶縁膜

3を積層する。次に、第3図(c)に示すように、絶縁膜3の上にフォトレジスト4を塗布した後、第3図(d)に示すように、写真製版によりフォトレジスト4にスルーホールを形成するためのマスクパターンを転写し、レジストホール開口部5を形成する。このレジストホール開口部5が形成されたレジストパターンをマスクとして、ウエット等による等方性エッチングにより絶縁膜3をエッチングし、第3図(e)に示すようにスルーホール6を形成する。次に、第3図(f)に示すように、レジストパターンを除去し、第3図(g)に示すように、第2の配線金属7を形成することにより、第1および第2の配線金属2および7のコンタクトを得るものである。

〔発明が解決しようとする問題点〕

上記のような従来のスルーホールの形成方法では、第2の配線金属7の厚さが、第4図に示す段差部分(破線で囲まれた部分)8で、絶縁膜3に形成したスルーホール6の段差のために薄くなり、コンタクト抵抗の上昇あるいはコンタクト不

良を起すという問題点があった。

この発明は、かかる問題点を解消するためになされたもので、コンタクト抵抗の上昇がなく、かつコンタクト不良を防止したスルーホールの形成方法を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るスルーホールの形成方法は、半導体基板上に配線金属を形成する工程、この配線金属上に下層の絶縁膜よりもエッチングレートが速い絶縁膜を上層にして複数層の絶縁膜を形成する工程、最上層の絶縁膜の上にレジストを塗布し、マスクパターンを転写しレジストパターンを形成する工程、レジストパターンをマスクとして複数層の絶縁膜をエッチングしてテーパ状のスルーホールを形成する工程、レジストパターンを除去した後、スルーホール部分に金属蒸着を行い、配線金属を形成する工程を含むものである。

〔作用〕

この発明においては、下層の絶縁膜よりエッチングレートの速い絶縁膜を上層に形成したことか

ら、絶縁膜は側面がテーパ状にエッチングされてスルーホールが形成されるので、その上に形成される配線金属の厚さがスルーホール側面においてほぼ均一になる。

〔実施例〕

以下、この発明の一実施例を第1図、第2図について説明する。第1図において、第3図と同一符号は同じものを示し、9は前記絶縁膜3上に形成された、この絶縁膜3よりもエッチングレートが速い絶縁膜である。

次に、この発明によるスルーホールの形成工程について説明する。

まず、第1図(a)、(b)に示すように、半導体基板1上に配線金属2と絶縁膜3を形成し、その上に第3図(c)に示すように、絶縁膜3よりエッチングレートの速い絶縁膜9を形成する。その後、第1図(d)に示すように、絶縁膜9の上にフォトレジスト4を塗布した後、第1図(e)に示すようにフォトレジスト4にスルーホールを形成するためのマスクパターンを転写し、レジストホール開

口部5を形成する。このレジストホール開口部5が形成されたレジストパターンをマスクとしてウエットエッチングを行い、その後、連続してエッチングレートの速い絶縁膜3のウエットエッチングを行うことにより第1図(f)に示すように、段差の小さなテーパ状の付いたスルーホール6が形成される。その後、第1図(g)に示すように、レジストパターンを除去した後、第1図(h)に示すように、配線金属7を形成する。この状態では、第2図に示すように、スルーホール側面における配線金属7の厚さを段差部分10のように、均一にすることができる。

なお、上記実施例では、絶縁膜3の上に、この絶縁膜3よりエッチングレートの速い絶縁膜9を形成した2層構造の場合について説明したが、絶縁膜3上にエッチングレートの速い絶縁膜9、さらにこの絶縁膜9よりエッチングレートの速い絶縁膜というように、下層の絶縁膜よりもエッチングレートの速い絶縁膜を何層にも積層することによっても同様の効果を得ることができる。

また、エッチングレートの遅い絶縁膜から速い絶縁膜を連続して積層することによっても同様の効果が得られる。

〔発明の効果〕

この発明は以上説明したとおり、半導体基板上に配線金属を形成する工程、この配線金属上に下層の絶縁膜よりもエッチングレートが速い絶縁膜を上層にして複数層の絶縁膜を形成する工程、最上層の絶縁膜の上にレジストを塗布し、マスクパターンを転写しレジストパターンを形成する工程、レジストパターンをマスクとして複数層の絶縁膜をエッチングしてテーパ状のスルーホールを形成する工程、レジストパターンを除去した後、スルーホール部分に金属蒸着を行い、配線金属を形成する工程を含むので、スルーホール側面における配線金属の厚さをほぼ均一にすることができる。したがって、コンタクト抵抗を低減することができるばかりでなく、コンタクト不良を解消することができる等の利点が見られる。

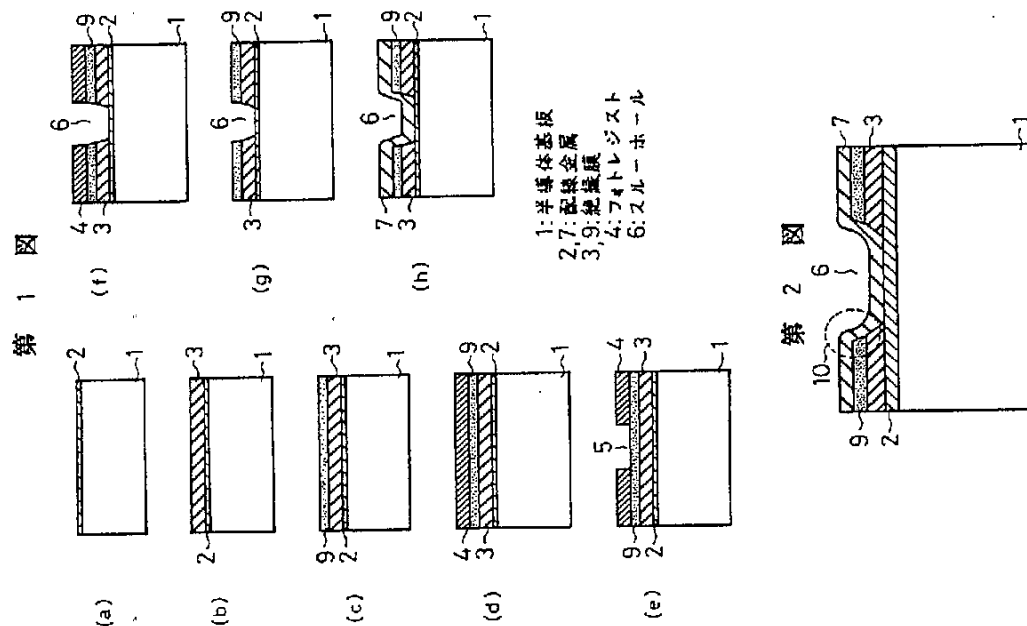
4. 図面の簡単な説明

第1図はこの発明のスルーホールの形成工程を説明する図、第2図はこの発明により得られた半導体装置の断面図、第3図は従来のスルーホールの形成工程を説明する図、第4図は従来例の半導体装置を示す断面図である。

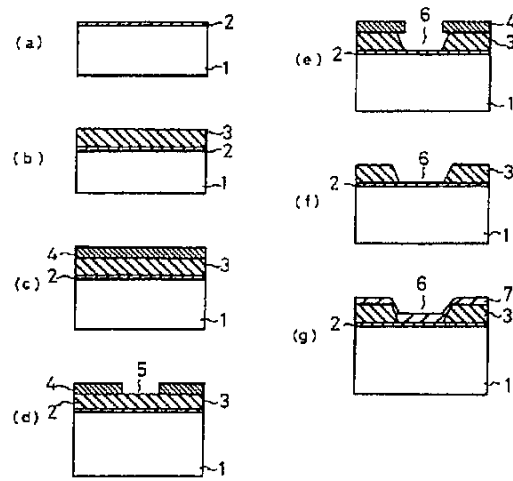
図において、1は半導体基板、2、7は配線金属、3、9は絶縁膜、4はフォトリソ、6はスルーホールである。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)



第 3 図



第 4 図

